

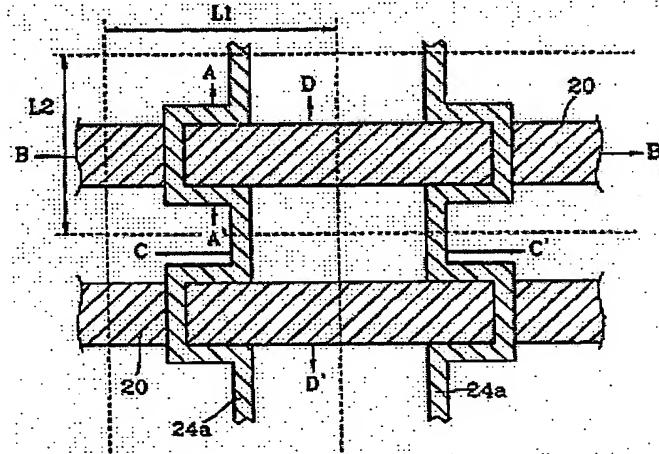
Semiconductor memory used for a DRAM comprises bit lines buried in a substrate, word lines formed on the substrate, and vertical transistors formed on individual storage cells**Patent number:** DE10128928**Publication date:** 2002-01-03**Inventor:** YANG WON-SEOK (KR); KIM CHANG-HYUN (KR); KIM KYUNG-HO (KR)**Applicant:** SAMSUNG ELECTRONICS CO LTD (KR)**Classification:**

- International: H01L27/108

- european: H01L27/108F6, H01L21/8242B2, H01L21/8242C2

Application number: DE20011028928 20010615**Priority number(s):** KR20010009604 20010226; US20000211937P 20000615**Also published as:** JP2002033402 (A)**Abstract of DE10128928**

Semiconductor memory comprises a semiconductor substrate, bit lines (20) buried in substrate so that the surface of the bit lines borders the substrate surface and the bit lines are parallel to each other; word lines (24a) formed on the substrate so that they run across the bit lines and are insulated from them; and a number of vertical transistors formed on individual storage cells. Each transistor has a first source/drain region, a channel region and a second source/drain region formed on one bit line. The transistor contacts a gate insulating layer formed on one part of the side wall of a word line. Body regions containing the channel regions of the transistors are connected together to form one single integrated region. A control electrode of a capacitor is arranged on the second source/drain region of each transistor. The second source/drain region of each transistor and the control electrode of the capacitor are made of the same material. The bit lines are made of a silicide material. An Independent claim is also included for a process for the production of the semiconductor memory.



Data supplied from the esp@cenet database - Worldwide

BEST AVAILABLE COPY



⑯ Unionspriorität:
60/211,937 15. 06. 2000 US
01-9604 26. 02. 2001 KR

⑯ Erfinder:
Kim, Chang-hyun, Sungnam, KR; Kim, Kyung-ho,
Suwon, KR; Yang, Won-seok, Yongin, KR

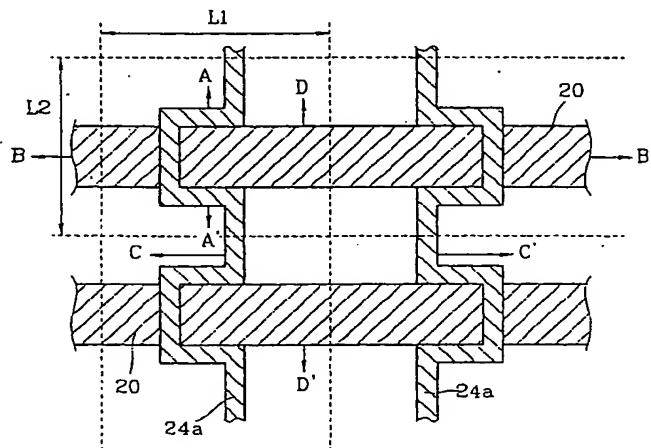
⑯ Anmelder:
Samsung Electronics Co., Ltd., Suwon, Kyonggi, KR
⑯ Vertreter:
Kuhnen & Wacker Patentanwaltsgesellschaft mbH,
85354 Freising

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑯ Halbleiterspeichervorrichtung, die keinen Floating-Body-Effekt aufweist, und dazugehöriges Herstellungsverfahren

⑯ Die Erfindung betrifft eine Halbleiterspeichervorrichtung, bei der ein Floating-Body-Effekt eliminiert ist und welche eine verbesserte Unempfindlichkeit gegenüber externen Störeinflüssen, wie beispielsweise externem Rauschen, aufweist, sowie ein Herstellungsverfahren für diese Halbleiterspeichervorrichtung. Die Speichervorrichtung enthält ein Halbleitersubstrat. Eine Vielzahl von Bitleitungen sind in dem Halbleitersubstrat derart vergraben, daß die Oberflächen der Bitleitungen an die Oberfläche des Halbleitersubstrats angrenzen. Die Bitleitungen sind parallel zueinander angeordnet. Eine Vielzahl von Wortleitungen sind auf dem Halbleitersubstrat derart ausgebildet, daß die Wortleitungen die Bitleitungen kreuzen und von ihnen isoliert sind. Eine Vielzahl von vertikalen Zugriffstransistoren sind an einzelnen Speicherzellen, wo die Bitleitungen und die Wortleitungen sich schneiden, ausgebildet. Jeder vertikale Zugriffstransistor enthält einen Source/Drain-Bereich, einen Kanalbereich und einen zweiten Source/Drain-Bereich, welche vertikal auf einer Bitleitung ausgebildet sind. Der vertikale Zugriffstransistor kontaktiert eine Gate-Isolationsschicht, die auf einem Teil der Seitenwand einer Wortleitung ausgebildet ist. Body-Bereiche, die die Kanalbereiche der Zugriffstransistoren enthalten, sind miteinander zu einem einzigen integrierten Bereich verbunden.



Beschreibung

Hintergrund der Erfindung

1. Gebiet der Erfindung

[0001] Die vorliegende Erfindung betrifft eine Halbleiter-speichervorrichtung und insbesondere einen Zellenarray bzw. eine Zellenanordnung, bei welchen Daten in einen dynamischen Halbleiterspeicher mit wahlfreiem Zugriff (DRAM) gespeichert werden. Genauer gesagt, betrifft die vorliegende Erfindung eine Halbleiterspeichervorrichtung, die eine Speicherzelle mit einem vertikalen Transistor aufweist, und ein Herstellungsverfahren dafür.

2. Beschreibung des Stands der Technik

[0002] Mit der fortschreitenden Integrationsdichte der Vorrichtungen und sinkender Betriebsspannungen hat der Silizium-Body-Effekt, welcher der bestimmende Faktor für die Zuverlässigkeit von Halbleiterspeichervorrichtungen ist, an Bedeutung bei der Steuerung der Einschaltspannung (threshold voltage) der Vorrichtungen gewonnen. Zahlreiche Verfahren zum Erhöhen der Integrationsdichte von Halbleiterspeichervorrichtungen sind untersucht worden. Insbesondere Verfahren, die einen vertikalen Transistor verwenden, sind zum Verringern der Fläche einer Zelleneinheit untersucht worden.

[0003] Fig. 1 zeigt eine perspektivische Ansicht einiger Speicherzellen einer herkömmlichen Halbleiterspeichervorrichtung, die einen vertikalen Transistor verwendet. Fig. 2 zeigt eine Draufsicht von Fig. 1. Fig. 1 und 2 entsprechen den Fig. 2 bzw. 3, die dem U.S.-Patent Nummer 6,072,209 beigelegt sind.

[0004] Fig. 1 und 2 zeigen zwei vergrabene Bitleitungen 202 und 204, ein Paar von Bitleitungen 206 und 207, eine andere Wortleitung 208 und vier Speicherzellen 112a, 112b, 112c und 112d auf einem Halbleitersubstrat 210. Jeder der Bitleitungen 202 und 204 wird durch Isolationsgräben 220, 221 und 222 definiert bzw. bestimmt, die mit einem Isolationsmaterial wie Siliziumoxid 224 aufgefüllt sind. Ein vertikaler Transistor 130 ist in jeder Speicherzelle ausgebildet. [0005] Jeder vertikale Transistor 130, der eine Gate-Isolationsschicht 218 kontaktiert, die an der Seitenwand einer Wortleitung 206, 207 und 208 ausgebildet ist, enthält einen ersten Source/Drain-Bereich 212, einen Body-Bereich 214, der einen Kanalbereich enthält, und einen zweiten Source/Drain-Bereich 216, welche vertikal auf dem Halbleitersubstrat 210 ausgebildet sind. Der erste Source/Drain-Bereich 212 dient als Bitleitung. Eine Speicherelektrode 132 eines Kondensators ist auf dem zweiten Source/Drain-Bereich 216 ausgebildet. Bei einem derartigen Aufbau schwebt (float) der Body-Bereich 214, der den Kanalbereich jeder Speicherzelle enthält, vollständig und ist von den Body-Bereichen der anderen Transistoren 130 durch die Wortleitungen 206, 207 und 208 getrennt.

[0006] Bei einem derartigen Aufbau gemäß dem Stand der Technik sind die in den Speicherzellen gespeicherten Daten sehr empfindlich gegenüber externen Störeinflüssen, wie externem Rauschen. Im allgemeinen wird ein MOS-Transistor durch einen Kanalbereich, welcher in der Nähe der Oberfläche des Body-Bereichs ausgebildet ist, mittels einer an die Gate-Elektrode angelegten Spannung geschaltet. Wenn der Body-Bereich des MOS-Transistors einem externen Versorgungsspannungsrauschen, was aufgrund einer Vielzahl von Gründen auftreten kann, ausgesetzt ist, verändert sich die Ladung des Body-Bereichs des Transistors. Im Stand der Technik schweben (float) die Body-Bereiche und sind von-

einander getrennt, so daß die Ladung jedes Transistors nicht gleichmäßig ist. Dementsprechend verändert sich die Einschaltspannung jedes MOS-Transistors, wenn die Ladung des Body-Bereichs jedes Transistors sich aufgrund von externem Rauschen verändert. Folglich können Betriebsfehler auftreten, wodurch die Zuverlässigkeit der Speichervorrichtung verringert ist.

Kurzfassung der Erfindung

[0007] Um dieses Problem zu lösen, besteht eine erste Aufgabe der vorliegenden Erfindung darin, eine Halbleiterspeichervorrichtung zu schaffen, bei der der Floating-Body-Effekt eliminiert ist, und welche eine verbesserte Unempfindlichkeit gegenüber externem Rauschen aufweist, sowie ein Herstellungsverfahren für diese Halbleiterspeichervorrichtung zu schaffen.

[0008] Es ist eine zweite Aufgabe der vorliegenden Erfindung, eine Halbleiterspeichervorrichtung zu schaffen, bei der der Floating-Body-Effekt eliminiert ist, und bei welcher eine Speicherzelle einen Oberflächenbereich aufweist, der zu $4F^2$ minimiert ist, und ein Herstellungsverfahren für diese Halbleiterspeichervorrichtung zu schaffen.

[0009] Um die voranstehend erwähnten Aufgaben der Erfindung zu lösen, wird demgemäß eine Halbleiterspeichervorrichtung geschaffen, die keinen Floating-Body-Effekt aufweist. Die Speichervorrichtung enthält ein Halbleitersubstrat. Eine Vielzahl von Bitleitungen sind in dem Halbleitersubstrat so vergraben, daß die Oberflächen der Bitleitungen an die Oberfläche des Halbleitersubstrats angrenzt. Die Bitleitungen sind parallel zueinander angeordnet. Eine Vielzahl von Wortleitungen sind auf dem Halbleitersubstrat so ausgebildet, daß die Wortleitungen quer zu den Bitleitungen verlaufen, und sind von den Bitleitungen isoliert. Eine Vielzahl von vertikalen Zugriffstransistoren sind bei den einzelnen Speicherzellen ausgebildet, bei denen die Wortleitungen und die Bitleitungen sich schneiden. Jeder vertikale Zugriffstransistor enthält einen ersten Source/Drain-Bereich, einen Kanalbereich und einen zweiten Source/Drain-Bereich, welche vertikal auf einer Bitleitung ausgebildet sind. Der vertikale Zugriffstransistor kontaktiert die Gate-Isolationsschicht, die auf einem Teil der Seitenwand einer Wortleitung ausgebildet ist. Body-Bereiche, die die Kanalbereiche der Zugriffstransistoren enthalten, sind miteinander verbunden, um einen einzigen integrierten Bereich auszubilden.

[0010] Vorzugsweise ist eine Halbleiterspeichervorrichtung eine Zellenanordnung für einen dynamischen Halbleiterspeicher mit wahlfreiem Zugriff (DRAM), und eine Speicherelektrode eines Kondensators ist auf dem zweiten Source/Drain-Bereich jedes Zugriffstransistors ausgebildet. Die Body-Bereiche der Zugriffstransistoren können durch ein einziges Abscheidungsverfahren (Deposition) und Maskierungsverfahren (patterning) ausgebildet sein, um so einen einzigen integrierten Body-Bereich auszubilden. Alternativ könne die Body-Bereiche der Zugriffstransistoren voneinander durch Wortleitungen isoliert werden, aber miteinander durch brückenartige Verbinder verbunden werden, so daß sie integriert sind. Eine Isolationsschicht mit der gleichen Dicke wie die Gate-Isolationsschicht ist auf der Seitenwand jeder Wortleitung ausgebildet. Vorzugsweise weist die Wortleitung, an welcher jeder Zugriffstransistor ausgebildet ist, eine vierseitige Form auf, wobei, in einer Draufsicht, eine Seite offen ist, und der Kanalbereich des Zugriffstransistors ist innerhalb der vierseitigen Form ausgebildet.

[0011] Um bei einer ersten Ausführungsform die vorhergehend erwähnten Aufgaben der Erfindung zu lösen, wird eine Halbleitervorrichtung geschaffen, die ein Halbleitersubstrat enthält, auf welchem Grabenbereiche, die mit ei-

nem Isolationsmaterial gefüllt sind, in vorbestimmten Intervallen bzw. Abständen angeordnet sind. Eine Vielzahl von Bitleitungen sind parallel zueinander zwischen den Grabenbereichen auf dem Halbleitersubstrat angeordnet. Eine Vielzahl von Wortleitungen erstrecken sich auf den Grabenbereichen des Halbleitersubstrats derart, daß sich die Wortleitungen die Bitleitungen kreuzen. Die Seitenwand und die obere Oberfläche jeder Wortleitung sind durch ein Isolationsmaterial bedeckt. Eine Vielzahl von vertikalen Zugriffstransistoren sind an den einzelnen Speicherzellen ausgebildet, wo die Wortleitungen und die Bitleitungen sich schneiden. Jeder vertikale Zugriffstransistor enthält einen ersten Source/Drain-Bereich, einen Kanalbereich und einen zweiten Source/Drain-Bereich, welche vertikal auf einer Bitleitung ausgebildet sind. Der vertikale Transistor kontaktiert eine Gate-Isolationsschicht, die auf einem Teil der Seitenwand der Wortleitung ausgebildet ist. Ein gemeinsamer Body-Bereich (joint body region) enthält Body-Bereiche, welche von den Bitleitungen und den Wortleitungen isoliert sind. Benachbarte Body-Bereiche, die Kanalbereiche enthalten, sind durch die Wortleitungen isoliert, werden jedoch durch die obere Oberfläche des Isolationsmaterials auf den Wortleitungen integriert.

[0012] Bei einer zweiten Ausführungsform wird eine Halbleiterpeichervorrichtung mit einem Halbleitersubstrat, auf welchem Grabenbereiche, welche mit einem Isolationsmaterial gefüllt sind, in vorbestimmten Abständen angeordnet sind, vorgesehen. Eine Vielzahl von Bitleitungen sind parallel zueinander zwischen den Grabenbereichen auf dem Halbleitersubstrat angeordnet. Eine Vielzahl von Wortleitungen erstreckt sich auf den Grabenbereichen des Halbleitersubstrats derart, daß die Wortleitungen die Bitleitungen kreuzen. Die Seitenwand jeder Wortleitung wird von einem Isolationsmaterial bedeckt. Eine Vielzahl von vertikalen Transistoren sind an den einzelnen Speicherzellen ausgebildet, wo die Bitleitungen und die Wortleitungen sich schneiden. Jeder vertikale Zugriffstransistor enthält einen ersten Source/Drain-Bereich, einen Kanalbereich und einen zweiten Source/Drain-Bereich, welche vertikal auf der Bitleitung ausgebildet sind. Der vertikale Zugriffstransistor kontaktiert eine Gate-Isolationsschicht, die auf einem Teil der Seitenwand einer Wortleitung ausgebildet ist. Eine Vielzahl von Body-Bereichen sind von den Bitleitungen und Wortleitungen isoliert ausgebildet und durch Wortleitungen voneinander isoliert. Jeder Body-Bereich enthält einen Kanalbereich. Ein Verbinde ist zum elektrischen Verbinden benachbarter bzw. angrenzender Body-Bereiche ausgebildet.

[0013] Um bei der ersten Ausführungsform die vorhergehend genannten Aufgaben der Erfahrung zu lösen, wird ein Herstellungsvorfahren für eine Halbleiterpeichervorrichtung vorgesehen. Das Verfahren enthält den Schritt eines Ausformens von Grabenbereichen, die mit einem Isolationsmaterial angefüllt sind, in vorbestimmten Abständen. Die Grabenbereiche sind in einem Halbleitersubstrat derart vergraben, daß sie an die Oberfläche des Halbleitersubstrats angrenzend sind. Eine Bitleitung ist zwischen den benachbarten Grabenbereichen in dem Halbleitersubstrat ausgebildet, und die Oberfläche des Halbleitersubstrats wird zum Freilegen der Oberfläche der Bitleitung planarisiert. Eine erste Isolationsschicht, eine Leitungsschicht für eine Wortleitung und eine Maskenschicht für ein Isolationsmaterial werden sequentiell auf der gesamten Oberfläche des planarisierten Halbleitersubstrat ausgebildet. Eine Wortleitung, die eine Maskenschicht aufweist, wird auf der oberen Oberfläche mit Hilfe von Photolithographie ausgebildet. Eine zweite Isolationsschicht wird auf der Seitenwand der freigelegten Wortleitung ausgebildet. Ein Teil der Oberfläche der Bitleitung, die an die Seitenwand der Wortleitung angrenzt, wird an ei-

nem Abschnitt freigelegt, an welchem die Wortleitung und die Bitleitung sich schneiden. Eine erste Source/Drain-Bereichs-Materialschicht wird auf der freigelegten Bitleitung ausgebildet. Eine Body-Bereichs-Materialschicht wird auf der gesamten Oberfläche des Halbleitersubstrats einschließlich der Materialschicht des ersten Source/Drain-Bereichs derart ausgebildet, daß die Body-Bereichs-Materialschicht eine vorbestimmte Höhe von der Maskenschicht auf der Wortleitung aufweist. Ein Teil der Body-Bereichs-Materialschicht wird unter Verwendung von Photolithographie derart geätzt, daß die Body-Bereichs-Materialschicht der ersten Source/Drain-Bereichs-Materialschicht entspricht. Eine zweite Source/Drain-Bereichs-Materialschicht wird auf der geätzten und freigelegten Body-Bereichs-Materialschicht ausgebildet.

[0014] Bei der zweiten Ausführungsform wird ein Verfahren zum Herstellen einer Halbleiterpeichervorrichtung vorgesehen. Das Verfahren enthält den Schritt eines Ausbildens von mit einem Isolationsmaterial aufgefüllten Grabenbereichen in vorbestimmten Abständen. Die Grabenbereiche sind in einem Halbleitersubstrat derart vergraben, daß sie an die Oberfläche des Halbleitersubstrats angrenzen. Eine Bitleitung wird zwischen benachbarten Grabenbereichen in dem Halbleitersubstrat ausgebildet und die Oberfläche des Halbleitersubstrats zum Freilegen der Oberfläche der Bitleitung planarisiert. Eine erste Isolationsschicht und eine Leitungsschicht für eine Wortleitung werden sequentiell auf der gesamten Oberfläche des planarisierten Halbleitersubstrats ausgebildet. Eine Wortleitung wird mit Hilfe von Photolithographie ausgebildet. Eine zweite Isolationsschicht wird auf der freigelegten Wortleitung ausgebildet. Ein Teil der Oberfläche der Bitleitung, der zu der Seitenwand der Wortleitung benachbart ist, wird an einem Abschnitt freigelegt, an welchem die Wortleitung und die Bitleitung sich schneiden. Eine erste Source/Drain-Bereichs-Materialschicht wird auf der freigelegten Bitleitung ausgebildet. Eine Body-Bereichs-Materialschicht wird auf der gesamten Oberfläche des Halbleitersubstrats einschließlich der ersten Source/Drain-Bereichs-Materialschicht ausgebildet, so daß die Body-Bereichs-Materialschicht höher als die Wortleitung ist. Die Body-Bereichs-Materialschicht wird solange poliert, bis die Oberfläche der Wortleitung zum Planarisieren der Oberfläche des Halbleitersubstrats freigelegt ist. Eine dritte Isolationsschicht wird auf der gesamten Oberfläche des planarisierten Halbleitersubstrats ausgebildet. Ein Teil der dritten Isolationsschicht wird mit Hilfe von Photolithographie derart geätzt, daß die dritte Isolationsschicht der ersten Source/Drain-Bereichs-Materialschicht entspricht. Ein Teil der Body-Bereichs-Materialschicht wird unter Verwendung der geätzten dritten Isolationsschicht als eine Ätzmaske geätzt. Eine zweite Source/Drain-Bereichs-Materialschicht wird auf der freigelegten Body-Bereichs-Materialschicht ausgebildet.

[0015] Gemäß der vorliegenden Erfahrung schweben (float) die Body-Bereiche des Transistors in einer einzelnen Speicherzelle nicht, sondern sind zu einem Bereich integriert, so daß ein in jede Speicherzelle eindringendes Rauschen bei der Peichervorrichtung leicht eliminiert werden kann. Folglich kann die Ladung eines Body-Bereichs jedes Transistors konstant aufrechterhalten werden, ohne von einem Rauschen beeinflußt zu sein, so daß eine Fehlfunktion des Transistors verhindert werden kann. Außerdem wird die Gateelektrode des vertikalen Transistors so ausgebildet, daß sie einen vierseitigen Querschnitt aufweist, deren eine Seite offen ist, so daß es einfach ist, eine Speicherzelle mit einer Fläche von 41^2 zu realisieren.

Kurze Beschreibung der Zeichnung

[0016] Die oben erwähnten Aufgaben und Vorteile der vorliegenden Erfindung werden durch eine detaillierte Beschreibung ihrer bevorzugten Ausführungsformen unter Bezugnahme auf die beigelegte Zeichnung besser ersichtlich.

[0017] Es zeigt:

[0018] Fig. 1 eine perspektivische Ansicht von einigen Speicherzellen einer herkömmlichen Halbleiterspeichervorrichtung, die einen vertikalen Transistor verwendet;

[0019] Fig. 2 eine Draufsicht von Fig. 1;

[0020] Fig. 3 eine Ansicht von einem Teil einer Speicherzellenanordnung gemäß der vorliegenden Erfindung;

[0021] Fig. 4 bis 15 Querschnittsansichten entlang der Linie A-A' in Fig. 3 zum Erläutern eines Herstellungsverfahrens einer Halbleitervorrichtung gemäß einer ersten Ausführungsform der vorliegenden Erfindung;

[0022] Fig. 16 eine Querschnittsansicht entlang der Linie B-B' in Fig. 3 der Halbleiterspeichervorrichtung gemäß der ersten Ausführungsform;

[0023] Fig. 17 eine Querschnittsansicht entlang der Linie C-C' in Fig. 3 der Halbleiterspeichervorrichtung gemäß der ersten Ausführungsform;

[0024] Fig. 18 eine Querschnittsansicht entlang der Linie D-D' in Fig. 3 der Halbleiterspeichervorrichtung gemäß der ersten Ausführungsform;

[0025] Fig. 19 bis 23 Querschnittsansichten entlang der Linie A-A' in Fig. 3 zum Erläutern eines Herstellungsverfahrens für eine Halbleiterspeichervorrichtung gemäß einer zweiten Ausführungsform der vorliegenden Erfindung; und

[0026] Fig. 24 eine Querschnittsansicht entlang der Linie D-D' in Fig. 3 der Halbleiterspeichervorrichtung gemäß der zweiten Ausführungsform.

Detaillierte Beschreibung der vorliegenden Erfindung

[0027] Im Folgenden werden Ausführungsformen der vorliegenden Erfindung unter Bezugnahme auf die beigelegten Zeichnungen im Detail beschrieben. Die vorliegende Erfindung ist nicht auf die folgenden Ausführungsformen beschränkt und zahlreiche Variationen sind innerhalb der Idee und des Umfangs der vorliegenden Erfindung möglich. Die Ausführungsformen der vorliegenden Erfindung sind dazu vorgesehen, die vorliegende Erfindung einem Fachmann ausführlich zu erläutern. In der Zeichnung sind die Abbildungen von Teilen und Bereichen aus Gründen der Übersichtlichkeit und Klarheit vergrößert und nicht maßstabsgetreu dargestellt, und gleiche Bezugszeichen bezeichnen gleiche Teile oder Bereiche. Ferner ist unter "eine Schicht" ist auf einer anderen Schicht oder einem Substrat" in der Beschreibung zu verstehen, daß die Schicht entweder direkt auf einer anderen Schicht angeordnet sein kann oder daß dazwischen ein Halbleitersubstrat bzw. eine Zwischenschicht vorhanden ist.

[0028] Fig. 3 zeigt eine Ansicht eines Teils einer Speicherzellenanordnung gemäß der vorliegenden Erfindung. Gemäß Fig. 3 ist eine Vielzahl an Bitleitungen 20 parallel in vorbestimmten Abständen in den vertikalen Richtungen der Zeichenebene angeordnet. Eine Vielzahl von Wortleitungen 24a sind in vorbestimmten Abständen in der horizontalen Richtung der Zeichnungsebene angeordnet. Fig. 3 zeigt vier Speicherzellen, und jede der Speicherzellen ist eine 4F^2 -Speicherzelle. In jeder Speicherzelle bezeichnen "L1" und "L2" jeweils 2F (F bezeichnet ein Mindestmaßmaß bzw. Minimalabmessung gemäß einer Entwurfsregel). Bei jeder Speicherzelle ist ein vertikaler Transistor an der Schnittstelle zwischen der Bitleitung 20 und der Wortleitung 24a ausgebildet. Bei dieser Ausführungsform und in dieser Be-

schreibung ist die Form der Wortleitung 24a an der Schnittstelle in einer Draufsicht eine viereckige Form, welche auf einer Seite offen ist. Ein vertikaler Transistor ist innerhalb dieses Vierecks ausgebildet.

[0029] Fig. 4 bis 15 sind Querschnittsansichten entlang der Linie A-A' in Fig. 3 zur Erläuterung eines Herstellungsverfahrens für eine Halbleiterspeichervorrichtung gemäß einer ersten Ausführungsform der vorliegenden Erfindung. Ein Grabenbereich 12 wird als Isolationsbereich auf einem Halbleitersubstrat 10 aus Silizium ausgebildet. Ein Grabenbereich 12 wird durch ein typisches Ausbildungsverfahren als ein Stapel aus einer Oxidschicht und einer Nitridschicht ausgebildet, wobei ein Graben durch ein selektives Ätzen des Halbleitersubstrats 10 unter Verwendung von Photolithographie ausgebildet wird und der Graben mit einem Isolationsmaterial aufgefüllt wird. Anschließend wird eine dünne Pufferoxidschicht (buffer oxide layer) 16, die zur Ionenimplantation notwendig ist, auf der freigelegten Oberfläche des Halbleitersubstrats 10 zwischen den Grabenbereichen 12 ausgebildet. Als nächstes werden Störstellen eines zu dem Leitungstyp des Halbleitersubstrats 10 unterschiedlichen Leitungstyps in dem Halbleitersubstrat 10 mit Hilfe eines Ionenimplantationsverfahrens eingebracht, wodurch ein Störstellenübergangsschichtbereich (impurity junction region) 14 eines n-Typs oder eines p-Typs, d. h. einem Leitungstyp, der unterschiedlich zu dem Leitungstyp des Halbleitersubstrats 10 ist, ausgebildet wird.

[0030] Gemäß Fig. 5 wird als nächstes die Pufferoxidschicht 16 entfernt. Anschließend wird eine Silicidbildungsmaterialschicht 18 aus Titan oder Kobalt auf der gesamten Oberfläche des Halbleitersubstrats 10 abgeschieden und anschließend bei einer Temperatur von 500–850°C ausgeglüht, obgleich die Ausglühungstemperatur von dem Silicidbildungsmaterial abhängt, wodurch eine Silicidschicht mit einem niedrigen Widerstand ausgebildet wird, die eine Dicke von ungefähr 500 Å aufweist, so daß die Silicidschicht das Halbleitersubstrat 10 aus Silizium kontaktiert, wie in Fig. 6 gezeigt. Diese Silicidschicht bildet eine Bitleitung 20.

[0031] Gemäß Fig. 6 wird, nachdem die gesamte Oberfläche des Halbleitersubstrats 10 durch ein chemisch-mechanisches Polieren (CMP-Verfahren) planarisiert worden ist, eine erste Isolationsschicht 20 aus Siliziumdioxid auf der gesamten Oberfläche des Halbleitersubstrats 10 abgeschieden. Wie in Fig. 7 und 8 gezeigt, wird anschließend eine Polysiliziumschicht 24 und eine Siliziumnitridschicht 26 sequentiell auf der ersten Isolationsschicht 20 ausgebildet, und dann ein Ätzmaskenmuster 28, das Wortleitungen bestimmt, ausgebildet.

[0032] Gemäß Fig. 9 wird die Siliziumnitridschicht 26 und die Polysiliziumschicht 24 unter Verwendung des Ätzmaskenmusters 28 als eine Ätzmaske anisotrop geätzt, wodurch ein Muster für die Wortleitung 24a ausgebildet wird, auf welchem die Siliziumnitridschicht 26 zum Ausbilden von Maskenschichten 26a verbleibt. Als nächstes wird eine zweite Isolationsschicht 30 aus einer thermischen Oxidschicht auf der Seitenwand der Wortleitung 24a durch thermische Oxidation ausgebildet. Hierbei wird die zweite Isolationsschicht 30 dünn auf der Seitenwand der Maskenschicht 26a ausgebildet.

[0033] Gemäß Fig. 10 wird die auf der Bitleitung 20 übriggebliebene erste Isolationsschicht 22 durch ein umfassendes Ätzen oder ein photolithographisches Verfahren entfernt, wodurch die Bitleitung 20 freigelegt wird. Hierbei kann abhängig von dem Ätzverfahren ein erstes Isolationsschichtmuster 22a auf dem Grabenbereich 12 außerhalb der Wortleitung 24a übrig bleiben oder entfernt werden.

[0034] Gemäß Fig. 11 wird ein erster Source/Drain-Be-

reich 32, der z. B. aus Polysilizium besteht, selektiv nur auf der freigelegten Bitleitung 20 ausgebildet. Als nächstes wird eine Polysiliziumschicht 34 auf der gesamten Oberfläche des Halbleitersubstrats 10 ausgebildet. Hierbei wird der erste Source/Drain-Bereich 32 so ausgebildet, daß er eine Höhe aufweist, die ausreicht, daß der erste Source/Drain-Bereich 32 zumindest ein Teil der Wortleitung 24a überlappt bzw. abdeckt und einen Transistor ausbildet. Gemäß Fig. 12 wird die Oberfläche der Polysiliziumschicht 34 durch ein Rückätzen oder durch ein CMP-Verfahren so planarisiert, daß die Polysiliziumschicht 34 eine vorbestimmte Dicke von der Oberfläche der Maskenschicht 26a auf der Wortschicht 24a aufweist, z. B. eine Dicke von ungefähr 500-1000 Å. Als nächstes wird ein Ätzmaskenmuster 36 als Photolack ausgebildet. Wie der Draufsicht der Fig. 3 entnommen werden kann, wird das Ätzmaskenmuster 36 ausgebildet, um den vertikalen Transistor jeder Speicherzelle zu definieren.

[0035] Gemäß Fig. 13 wird die Polysiliziumschicht 34 bis zu einer vorbestimmten Tiefe unter Verwendung des Ätzmaskenmusters 36 als eine Ätzmaske geätzt, wodurch ein Polysiliziumschichtmuster 34a ausgebildet wird. Hierbei wird ein Abschnitt, an dem ein vertikaler Transistor ausgebildet werden wird, so geätzt, daß der Abschnitt niedriger ist als die obere Oberfläche der Wortleitung 24a. Anschließend wird das Ätzmaskenmuster 36 durch ein herkömmliches Verfahren entfernt. Das Polysiliziumschichtmuster 34a, das auf dem ersten Source/Drain-Bereich 32 übrig bleibt, bildet einen Body-Bereich, der einen Kanalbereich des vertikalen Transistors enthält. Das Polysiliziumschichtmuster 34a wird ein einziger integrierter Body-Bereich, der über das Halbleitersubstrat 10 verbunden ist. Fig. 16 zeigt eine Querschnittsansicht entlang der Linie B-B' in Fig. 3 von der Halbleiterspeichervorrichtung gemäß einer ersten Ausführungsform. Fig. 17 zeigt eine Querschnittsansicht entlang der Linie C-C' in Fig. 3. Fig. 18 zeigt eine Querschnittsansicht entlang der Linie D-D' in Fig. 3. Fig. 16 bis 18 zeigen deutlich, daß der Body-Bereich einschließlich des Kanalbereichs jedes Vertikaltransistors sich über das Halbleitersubstrat 10 hinaus erstreckt, wodurch ein einziger integrierter Body-Bereich ausgebildet wird.

[0036] Gemäß Fig. 14 wird ein zweiter Source/Drain-Bereich 38a und eine Speicherelektrode 38 für einen Kondensator auf dem Polysiliziumschichtmuster 34a, welches in Fig. 13 zum Ausbilden eines Vertikaltransistors durch ein typisches Abscheidungs- und Photolithographieverfahren geätzt worden ist, selektiv ausgebildet. Der zweite Source/Drain-Bereich 38a kann auf einer Silicidschicht ausgebildet sein und die Speicherelektrode 38 kann aus Polysilizium ausgebildet sein. Jedoch ist die vorliegende Erfindung nicht auf diese Ausführungsform beschränkt. Der zweite Source/Drain-Bereich 38a und die Speicherelektrode 38 können aus der gleichen Materialschicht oder unterschiedlichen Materialschichten ausgebildet sein und können in einem einzigen Verfahren oder in getrennten Verfahren ausgebildet sein. Als nächstes wird eine dielektrische Schicht 40 des Kondensators auf der gesamten Oberfläche des Halbleitersubstrats 10 ausgebildet, auf welchem die Speicherelektrode 38 ausgebildet wird. Wie in Fig. 15 gezeigt, wird dann eine Plattenelektrodenschicht 42 des Kondensators ausgebildet. Anschließend werden typische Speicherzellenseparations- und Passivierungsverfahren durchgeführt, um die Herstellung einer Halbleiterspeichervorrichtung zu vervollständigen.

[0037] Fig. 19 bis 23 sind Querschnittsansichten entlang der Linie A-A' in Fig. 3 zur Erläuterung eines Herstellungsverfahrens für eine Halbleiterspeichervorrichtung gemäß einer zweiten Ausführungsform der vorliegenden Erfindung. [0038] Fig. 24 ist eine Querschnittsansicht entlang der Li-

nie D-D' in Fig. 3 von der Halbleiterspeichervorrichtung gemäß der zweiten Ausführungsform. Die zweite Ausführungsform, bei welcher Body-Bereiche der Speicherzellen des dynamischen Speichers mit wahlfreiem Zugriff (d. h. DRAM-Speicherzellen), die durch Wortleitungen isoliert sind, miteinander durch brückenförmige Verbinder 38d so verbunden werden, daß sie zu einem Bereich integriert sind, enthält die gleichen Schritte wie in Fig. 4 bis 7, die bei der ersten Ausführungsform beschrieben worden sind. Somit wird eine Beschreibung dieser Schritte weggelassen.

[0039] Gemäß Fig. 19 wird ein Ätzmaskenmuster 28 aus Photolack auf der Polysiliziumschicht 24 in Fig. 7 zum Definieren einer Wortleitung ausgebildet.

[0040] Gemäß Fig. 20 wird die Polysiliziumschicht 24 unter Verwendung des Ätzmaskenmusters 28 als eine Ätzmaske anisotrop geätzt, wodurch ein Muster für eine Wortleitung 24b ausgebildet wird. Als nächstes wird das Ätzmaskenmuster 28 entfernt und eine thermische Oxidation durchgeführt, wodurch eine zweite Isolationsschicht 30b aus einer thermischen Oxidationsschicht auf der Seitenwand und der oberen Oberfläche des Wortleitungsmusters 24b ausgebildet wird. Anschließend wird die erste Isolationsschicht 22 geätzt und durch ein umfassendes Ätzen oder Photolithographie von der Bitleitung 20 entfernt, wodurch die Bitleitung 20 freigelegt wird. Wie bei der ersten Ausführungsform wird hierbei ein erstes Isolationsschichtmuster 22b abhängig von den Ätzverfahren übrig bleiben oder von dem Grabenbereich 12 außerhalb der Wortleitung 24b entfernt.

[0041] Gemäß Fig. 21 wird ein erster Source/Drain-Bereich 32b aus Polysilizium oder einer Silicidschicht selektiv nur auf der freigelegten Bitleitung 20 ausgebildet. Als nächstes wird eine Polysiliziumschicht 34 auch der gesamten Oberfläche des Halbleitersubstrats 10 dick ausgebildet. Wie zuvor beschrieben, wird hierbei ein erster Source/Drain-Bereich 32b so ausgebildet, daß seine Höhe für den ersten Source/Drain-Bereich 32b ausreicht, um mit zumindest einem Teil der Wortleitung 24b zum Bilden eines Transistors zu überlappen bzw. abzudecken. Anschließend wird die Polysiliziumschicht 34 durch ein Rückätzen oder durch ein CMP-Verfahren geätzt, bis die Oberfläche der Wortleitung 24b freigelegt ist, und dann die Oberfläche des Halbleitersubstrats 10 planarisiert. Hierbei werden benachbarte Polysiliziumschichten 34 durch die Wortleitung 24b voneinander isoliert. Als nächstes wird ein Muster einer dritten Isolationsschicht 36b auf einer Oxidschicht oder einer Nitridschicht ausgebildet, welche eine Ätzselektivität im Bezug auf die Polysiliziumschicht 34 und die zweite Isolationsschicht 30b aufweist. Wie aus der Draufsicht in Fig. 3 abgeleitet werden kann, wird das Muster einer dritten Isolationsschicht 36b ausgebildet, um den vertikalen Transistor jeder Speicherzelle zu definieren. Wie in Fig. 3 und 24 gezeigt, wird zusätzlich, da benachbarte Polysiliziumschichten 34 durch die Wortleitung 24b voneinander isoliert sind, ein Muster einer Kontaktöffnung 38c in Fig. 24 zusammen mit dem Muster der dritten Isolationsschicht 36b ausgebildet, um die Polysiliziumschichten 34 in den anschließenden Schritten zu verbinden. Es wird bevorzugt, daß zumindest ein Muster der Kontaktöffnung 38b in jeder Polysiliziumschicht 34 quer über die Streifenfläche zwischen den Bitleitungen 20 ausgebildet wird.

[0042] Gemäß Fig. 22 wird die Polysiliziumschicht 34 bis zu einer vorbestimmten Tiefe unter Verwendung des Musters der dritten Isolationsschicht 36b als eine Ätzmaske naß oder trocken geätzt, wodurch ein Polysiliziumschichtmuster 34b ausgebildet wird. Hierbei wird ein Abschnitt, an dem ein vertikaler Transistor ausbildet wird, tiefer als die Wortleitung 24b geätzt. Obwohl die Polysiliziumschicht 34 unterhalb des Musters der Kontaktöffnung 38c (wie in Fig. 24

gezeigt), die quer zu der Streifenfläche ausgebildet ist, auch geätzt wird, macht dies nichts bzw. bleibt das ohne Einfluß. Anschließend wird ein zweiter Source/Drain-Bereich 38b und eine Steuerelektrode 38 eines Kondensators auf dem Polysiliziumschichtmuster 34 selektiv ausgebildet, auf welchem ein vertikaler Transistor durch ein typisches Abscheidungs- und Photolithographie-Verfahren ausgebildet wird. Der zweite Source/Drain-Bereich 38b kann aus einer Silicidsschicht ausgebildet sein, und die Speicherelektrode 38 kann aus Polysilizium ausgebildet sein. Jedoch ist die vorliegende Erfindung nicht auf diese Ausführungsform beschränkt. Der zweite Source/Drain-Bereich 38b und die Steuerelektrode 38 können aus der gleichen Art von Materialschicht oder einer unterschiedlichen Art von Materialschicht ausgebildet sein und können in einem einzigen Verfahren oder in einem getrennten Verfahren ausgebildet sein. Wie in Fig. 24 gezeigt, wird hierbei das gleiche Verfahren, das auf den zweiten Source/Drain-Bereich 38b ausgeführt worden ist, auf dem Muster der Kontaktöffnung 38c ausgeführt, welches die isolierten Polysiliziumschichten 34b miteinander in Form einer Brücke verbindet. Mit anderen Worten, die gleiche Materialschicht ist auf dem zweiten Source/Drain-Bereich 38b und dem Kontaktöffnungsmuster 38c abgeschieden und durch Photolithographie geätzt, wodurch die Speicherelektrode 38 eines Kondensators auf dem zweiten Source/Drain-Bereich 38b und Verbinder 38d auf den Kontaktöffnungsmuster 38c zum Verbinden der isolierten Polysiliziumschichten 34b ausgebildet werden.

[0043] Gemäß Fig. 23 wiederum wird auf der gesamten Oberfläche des Halbleitersubstrats 10, auf welcher die Speicherelektrode 38 ausgebildet wird, eine dielektrische Schicht 40 des Kondensators ausgebildet. Dann wird eine Plättenelektrodenschicht 42 des Kondensators ausgebildet. Anschließend werden typische Speicherzellenseparations- und Passivierungsverfahren durchgeführt, wodurch die Herstellung einer Halbleiterspeichervorrichtung vervollständigt wird.

[0044] Gemäß der vorliegenden Erfindung schweben (float) Body-Bereiche des Transistors in einzelnen Speicherzellen nicht, sondern sind zu einem Body-Bereich integriert, so daß ein Rauschen, das in jeder Speicherzelle einer Speichervorrichtung eindringt, ohne weiteres eliminiert werden kann. Folglich kann die Ladung eines Body-Bereichs jedes Transistors konstant aufrecht erhalten werden, ohne durch Rauschen beeinflußt zu sein, so daß eine Fehlfunktion des Transistors verhindert werden kann. Außerdem ist die Gateelektrode eines vertikalen Transistors in einer vierseitigen Form ausgebildet, bei welcher eine Seite offen ist, so daß ohne weiteres eine Speicherzelle mit einer idealen Fläche von $4F^2$ realisiert werden kann.

Patentansprüche

1. Halbleiterspeichervorrichtung, die keinen Floating-Body-Effekt aufweist, umfassend:
ein Halbleitersubstrat;
eine Vielzahl von Bitleitungen, die in dem Halbleitersubstrat derart vergraben sind, daß die Oberfläche der Bitleitungen zu der Oberfläche des Halbleitersubstrats benachbart ist, wobei die Bitleitungen parallel zueinander angeordnet sind;
eine Vielzahl von Wortleitungen, die auf dem Halbleitersubstrat ausgebildet so sind, daß die Wortleitungen quer zu den Bitleitungen verlaufen und von ihnen isoliert sind; und
eine Vielzahl von vertikalen Zugriffstransistoren, die an den einzelnen Speicherzellen dort ausgebildet sind, wo die Bitleitungen und die Wortleitungen sich schnei-

den, wobei jeder vertikale Zugriffstransistor einen ersten Source/Drain-Bereich, einen Kanalbereich und einen zweiten Source/Drain-Bereich aufweist, welche vertikal auf einer Bitleitung ausgebildet sind, wobei der vertikale Zugriffstransistor eine Gate-Isolationsschicht kontaktiert, die auf einem Teil der Seitenwand einer Wortleitung ausgebildet ist, und wobei Body-Bereiche, die die Kanalbereiche der Zugriffstransistoren enthalten, miteinander zu einem einzigen integrierten Bereich verbunden sind.

2. Halbleiterspeichervorrichtung nach Anspruch 1, wobei die Halbleiterspeichervorrichtung eine Zellenanordnung für einen dynamischen Speicher mit wahlfreiem Zugriff (DRAM) ist.
3. Halbleiterspeichervorrichtung nach Anspruch 1, wobei eine Steuerelektrode eines Kondensators auf dem zweiten Source/Drain-Bereich jedes Zugriffstransistors ausgebildet ist.
4. Halbleiterspeichervorrichtung nach Anspruch 3, wobei der zweite Source/Drain-Bereich jedes Zugriffstransistors und die Speicherelektrode des Kondensators aus dem gleichen Material ausgebildet sind.
5. Halbleiterspeichervorrichtung nach Anspruch 3, wobei der zweite Source/Drain-Bereich jedes Zugriffstransistors und die Steuerelektrode des Kondensators aus unterschiedlichen Materialien ausgebildet sind.
6. Halbleiterspeichervorrichtung nach Anspruch 1, wobei eine Vielzahl von Grabenbereichen, die mit einem Isolationsmaterial aufgefüllt sind, in dem Halbleitersubstrat ausgebildet sind, und die Vielzahl von Bitleitungen zwischen den Grabenbereichen ausgebildet sind.
7. Halbleiterspeichervorrichtung nach Anspruch 6, wobei die Bitleitungen aus einem Silizidmaterial ausgebildet sind.
8. Halbleiterspeichervorrichtung nach Anspruch 1, wobei die Body-Bereiche der Zugriffstransistoren durch ein einziges Abscheidungsverfahren und ein Maskierungsverfahren ausgebildet sind, wodurch ein einziger integrierter Body ausgebildet wird.
9. Halbleiterspeichervorrichtung nach Anspruch 1, wobei die Body-Bereiche der Zugriffstransistoren durch Wortleitungen voneinander isoliert sind, aber durch brückenartige Verbinder so miteinander verbunden sind, daß sie integriert sind.
10. Halbleiterspeichervorrichtung nach Anspruch 1, wobei eine Isolationsschicht, die die gleichen Eigenschaften wie die Gate-Isolationsschicht aufweist, auf der Seitenwand jeder Wortleitung ausgebildet ist.
11. Halbleiterspeichervorrichtung nach Anspruch 1, wobei die Wortleitung, an welcher jeder Zugriffstransistor ausgebildet ist, eine vierseitige Form aufweist, bei der in einer Draufsicht eine Seite offen ist, und der Kanalbereich des Zugriffstransistors innerhalb der vierseitigen Form ausgebildet ist.
12. Halbleiterspeichervorrichtung, die keinen Floating-Body-Effekt aufweist, umfassend:
ein Halbleitersubstrat, auf welchem Grabenbereiche, die mit einem Isolationsmaterial aufgefüllt sind, in vorge bestimmten Abständen angeordnet sind;
eine Vielzahl von Bitleitungen, die parallel zueinander zwischen den Grabenbereichen auf dem Halbleitersubstrat angeordnet sind;
eine Vielzahl von Wortleitungen, die sich auf den Grabenbereichen des Halbleitersubstrats so erstrecken, daß die Wortleitungen die Bitleitungen kreuzen, wobei die Seitenwand und die obere Oberfläche jeder Wortleitung mit einem Isolationsmaterial bedeckt ist;

eine Vielzahl von vertikalen Zugriffstransistoren, die an den einzelnen Speicherzellen dort ausgebildet sind, wo die Bitleitungen und die Wortleitungen sich schneiden, wobei jeder vertikale Zugriffstransistor einen ersten Source/Drain-Bereich, einen Kanalbereich und einen zweiten Source/Drain-Bereich aufweist, welche vertikal auf einer Bitleitung ausgebildet sind, und wobei der vertikale Zugriffstransistor eine Gate-Isolationsschicht, die auf einem Teil der Seitenwand einer Wortleitung ausgebildet ist, kontaktiert; und 5
ein gemeinsamer Body-Bereich, der Body-Bereiche enthält, welche von den Bitleitungen und den Wortleitungen isoliert sind, wobei benachbarte Body-Bereiche, die die Kanalbereiche enthalten, durch die Wortleitungen isoliert sind, aber über die obere Oberfläche 10 des Isolationsmaterial auf den Wortleitungen integriert sind.

13. Halbleiterspeichervorrichtung nach Anspruch 12, wobei die Speicherelektrode eines Kondensators auf dem zweiten Source/Drain-Bereich jedes Zugriffstransistors ausgebildet ist. 20

14. Halbleiterspeichervorrichtung nach Anspruch 12, wobei die Bitleitungen auf einem Silizidmaterial ausgebildet sind. 25

15. Halbleiterspeichervorrichtung nach Anspruch 12, 25 wobei eine thermische Oxidschicht auf der Seitenwand jeder Wortleitung ausgebildet ist, und eine Siliziumnitridschicht auf der oberen Oberfläche jeder Wortleitung ausgebildet ist.

16. Halbleiterspeichervorrichtung, die keinen Floating-Body-Effekt aufweist, umfassend: 30 ein Halbleitersubstrat, auf welchem Grabenbereiche, die mit einem Isolationsmaterial aufgefüllt sind, in vorbestimmten Abständen angeordnet sind; eine Vielzahl von Bitleitungen, die parallel zueinander 35 zwischen den Grabenbereichen auf dem Halbleitersubstrat angeordnet sind; eine Vielzahl von Wortleitungen, die sich auf den Grabenbereichen des Halbleitersubstrats so erstrecken, daß die Wortleitungen die Bitleitungen kreuzen, wobei die 40 Seitenwand jeder Wortleitung mit einem Isolationsmaterial bedeckt ist;

eine Vielzahl von vertikalen Zugriffstransistoren, die an einzelnen Speicherzellen dort ausgebildet sind, wo die Bitleitungen und die Wortleitungen sich schneiden, 45 wobei jeder vertikale Zugriffstransistor einen ersten Source/Drain-Bereich, einen Kanalbereich und einen zweiten Source/Drain-Bereich umfaßt, die vertikal auf einer Bitleitung ausgebildet sind, und wobei der vertikale Zugriffstransistor eine Gate-Isolationsschicht, die auf einem Teil der Seitenwand einer Wortleitung ausgebildet ist, kontaktiert; 50

eine Vielzahl von Body-Bereichen, welche von den Bitleitungen und den Wortleitungen isoliert sind, wobei jeder Body-Bereich den Kanalbereich enthält; und 55 ein Verbinder zum elektrischen Verbinden benachbarter Body-Bereiche.

17. Halbleiterspeichervorrichtung nach Anspruch 16, wobei eine Speicherelektrode eines Kondensators auf dem zweiten Source/Drain-Bereich jedes Zugriffstransistors ausgebildet ist. 60

18. Halbleiterspeichervorrichtung nach Anspruch 16, wobei die Bitleitungen aus einem Silizidmaterial ausgebildet sind.

19. Halbleiterspeichervorrichtung nach Anspruch 16, 65 wobei eine Isolationsschicht, welche die gleiche Isolationsschicht wie die ist, die den zweiten Source/Drain-Bereich jedes Zugriffstransistors definiert, auf der obe-

ren Oberfläche jeder Wortleitung ausgebildet ist.

20. Herstellungsverfahren für eine Halbleiterspeichervorrichtung, die keinen Floating-Body-Effekt aufweist, das die folgenden Schritte umfaßt:

Ausbilden von Grabenbereichen, die mit einem Isolationsmaterial aufgefüllt sind, in vorbestimmten Abständen, wobei die Grabenbereiche in einem Halbleitersubstrat derart vergraben sind, daß sie zu der Oberfläche des Halbleitersubstrats benachbart sind;

Ausbilden einer Bitleitung zwischen benachbarten Grabenbereichen in dem Halbleitersubstrat und Planarisieren der Oberfläche des Halbleitersubstrats, um die Oberfläche der Bitleitung freizulegen; sequentielles Ausbilden einer ersten Isolationsschicht, einer Leitungsschicht für eine Wortleitung und einer Maskenschicht aus einem Isolationsmaterial auf der gesamten Oberfläche des planarisierten Halbleitersubstrats;

Ausbilden einer Wortleitung, die die Maskenschicht aufweist, auf der oberen Oberfläche durch Ausführen von Photolithographie;

Ausbilden einer zweiten Isolationsschicht auf der Seitenwand der freigelegten Wortleitung;

Freilegen eines Teils der Oberfläche der Bitleitung, die zu der Seitenwand der Wortleitung benachbart ist, an einem Abschnitt, an dem die Wortleitung und die Bitleitung sich schneiden;

Ausbilden einer ersten Source/Drain-Bereich-Materialschicht auf der freigelegten Bitleitung;

Ausbilden einer Body-Bereich-Materialschicht auf der gesamten Oberfläche des Halbleitersubstrats einschließlich der ersten Source/Drain-Bereich-Materialschicht derart, daß die Body-Bereich-Materialschicht eine vorbestimmte Höhe von der Maskenschicht auf der Wortleitung aufweist;

Ätzen eines Teils der Body-Bereich-Materialschicht unter Verwendung von Photolithographie, so daß die Body-Bereich-Materialschicht der ersten Source/Drain-Bereich-Materialschicht entspricht; und

Ausbilden einer zweiten Source/Drain-Bereich-Materialschicht auf der geätzten und freigelegten Body-Bereich-Materialschicht.

21. Verfahren nach Anspruch 20, das weiterhin den Schritt eines Ausbildens einer Speicherelektroden-Materialschicht für einen Kondensator auf der zweiten Source/Drain-Bereich-Materialschicht aufweist.

22. Verfahren nach Anspruch 20, wobei die zweite Isolationsschicht, die auf der Seitenwand der Wortleitung ausgebildet ist, eine thermische Oxidschicht ist, und die Maskenschicht, die auf der oberen Oberfläche der Wortleitung ausgebildet ist, eine Siliziumnitridschicht ist.

23. Verfahren nach Anspruch 20, wobei die Wortleitung an einem Abschnitt, an dem die Wortleitung und die Bitleitung sich schneiden, eine vierseitige Form aufweist, welche in einer Draufsicht an einer Seite offen ist, und wobei erste und zweite Source/Drain-Bereich-Materialschichten innerhalb der vierseitigen Form ausgebildet werden.

24. Herstellungsverfahren für eine Halbleiterspeichervorrichtung, die keinen Floating-Body-Effekt aufweist, das die folgenden Schritte umfaßt:

Ausbilden von Grabenbereichen, die mit einem Isolationsmaterial aufgefüllt sind, in vorbestimmten Abständen, wobei die Grabenbereiche in einem Halbleitersubstrat derart vergraben sind, daß sie zu der Oberfläche des Halbleitersubstrats benachbart sind;

Ausbilden einer Bitleitung zwischen benachbarten

Grabenbereichen in dem Halbleitersubstrat und Planarisieren der Oberfläche des Halbleitersubstrats, um die Oberfläche der Bitleitung freizulegen; sequentielles Ausbilden einer ersten Isolationsschicht und einer Leitungsschicht für eine Wortleitung auf der gesamten Oberfläche des planarisierten Halbleitersubstrats;

Ausbilden einer Wortleitung durch Ausführen von Photolithographie;

Ausbilden einer zweiten Isolationsschicht auf der freigelegten Wortleitung;

Freilegen eines Teils der Oberfläche der Bitleitung, die zu der Seitenwand der Wortleitung benachbart ist, an einem Abschnitt, an dem die Wortleitung und die Bitleitung sich schneiden;

Ausbilden einer ersten Source/Drain-Bereich-Materialschicht auf der freigelegten Bitleitung;

Ausbilden einer Body-Bereich-Materialschicht auf der gesamten Oberfläche des Halbleitersubstrats einschließlich der ersten Source/Drain-Bereich-Materialschicht derart, daß die Body-Bereich-Materialschicht höher als die Wortleitung ist;

Polieren der Body-Bereich-Materialschicht, bis die Oberfläche der Wortleitung zum Planarisieren der Oberfläche des Halbleitersubstrats freigelegt ist;

Ausbilden einer dritten Isolationsschicht auf der gesamten Oberfläche des planarisierten Halbleitersubstrats;

Ätzen eines Teils der dritten Isolationsschicht durch Ausführen von Photolithographie, so daß die dritte Isolationsschicht mit der ersten Source/Drain-Bereich-Materialschicht übereinstimmt;

Ätzen eines Teils der Body-Bereich-Materialschicht unter Verwendung der geätzten dritten Isolationsschicht als eine Ätzmaske, und

Ausbilden einer zweiten Source/Drain-Bereich-Materialschicht auf der freigelegten Body-Bereich-Materialschicht.

25. Verfahren nach Anspruch 24, wobei bei dem Schritt des Ätzens eines Teils der dritten Isolationsschicht gleichzeitig eine Kontaktöffnung, die jede durch die Wortleitung voneinander isolierte Body-Bereich-Materialschicht freilegt, ausgebildet wird.

26. Verfahren nach Anspruch 25, wobei bei dem Schritt des Ausbildens der zweiten Source/Drain-Bereich-Materialschicht in der Kontaktöffnung, die jede Body-Bereich-Materialschicht freilegt, die gleiche Materialschicht wie die zweite Source/Drain-Bereich-Materialschicht ausgebildet wird.

27. Verfahren nach Anspruch 26, wobei bei dem Schritt des Ausbildens der zweiten Source/Drain-Bereich-Materialschicht gleichzeitig ein Verbinder zum Verbinden der durch die Wortleitung isolierten Body-Bereich-Materialschichten unter Verwendung der Kontaktöffnung ausgebildet wird.

28. Verfahren nach Anspruch 24, das weiterhin den Schritt des Ausbildens einer Speicherelektroden-Materialschicht für einen Kondensator auf der zweiten Source/Drain-Bereich-Materialschicht aufweist.

29. Verfahren nach Anspruch 24, wobei die Wortleitung an einem Abschnitt, an dem sich die Bitleitung und die Wortleitung schneiden, eine vierseitige Form aufweist, welche in einer Draufsicht an einer Seite offen ist, und die ersten und zweiten Source/Drain-Bereich-Materialschichten innerhalb der vierseitigen

Form ausgebildet werden.

Hierzu 12 Seite(n) Zeichnungen

5

15

20

25

30

35

40

45

55

60

65

FIG. 1 (STAND DER TECHNIK)

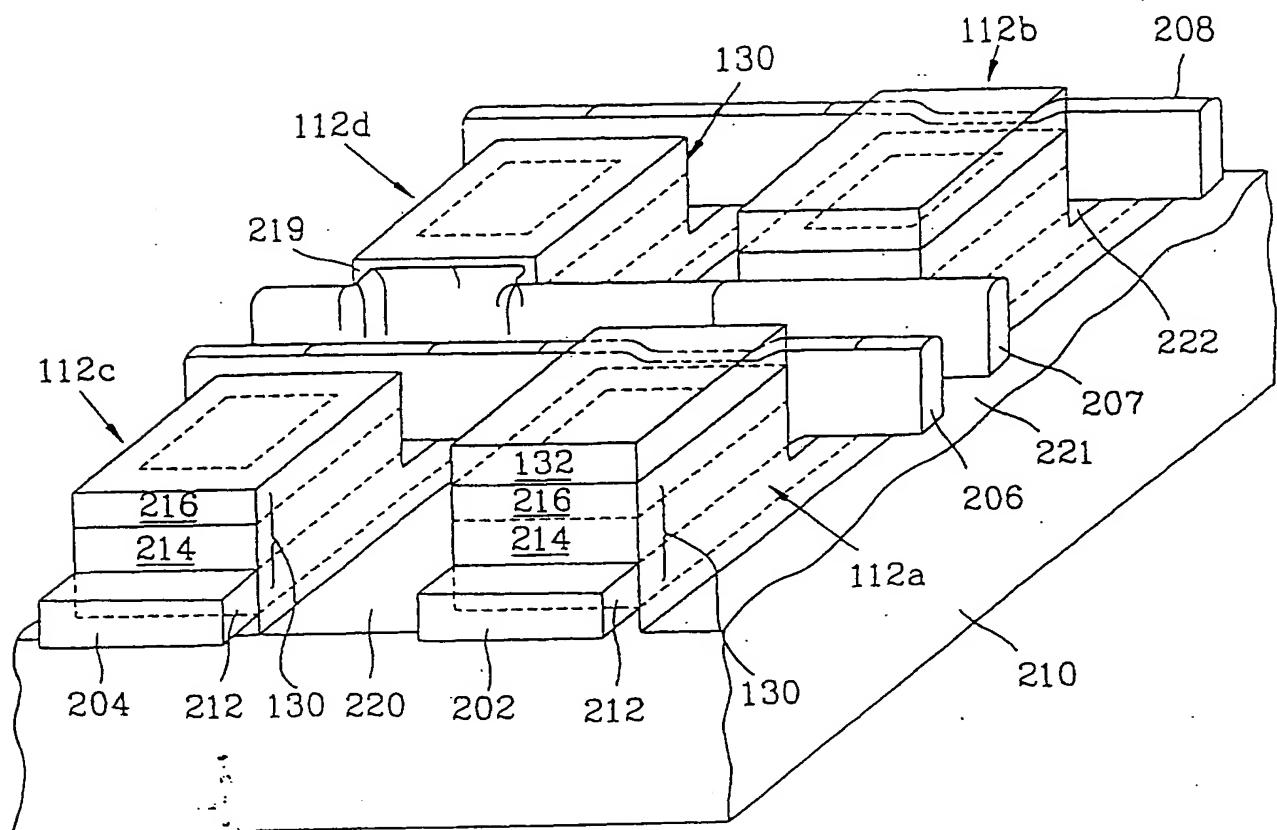


FIG. 2 (STAND DER TECHNIK)

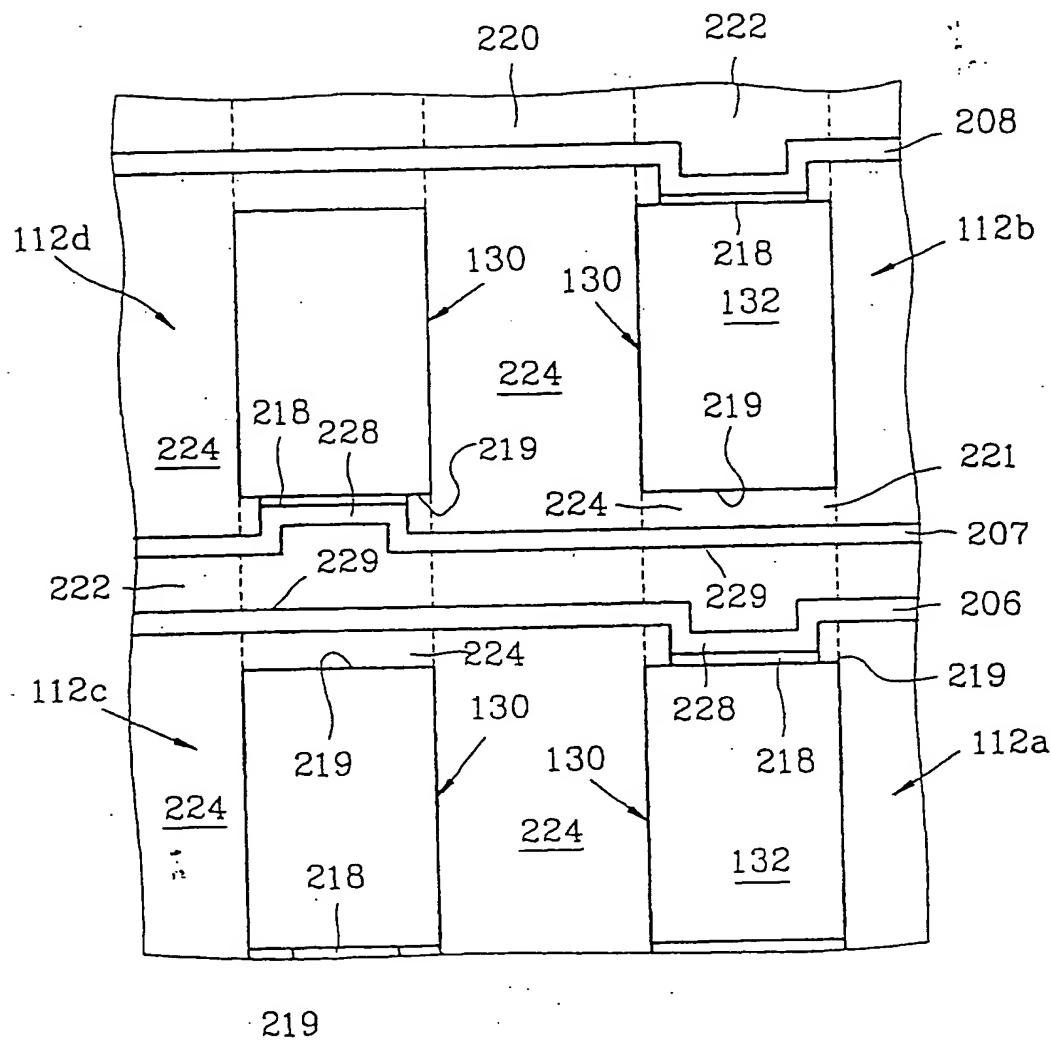


FIG. 3

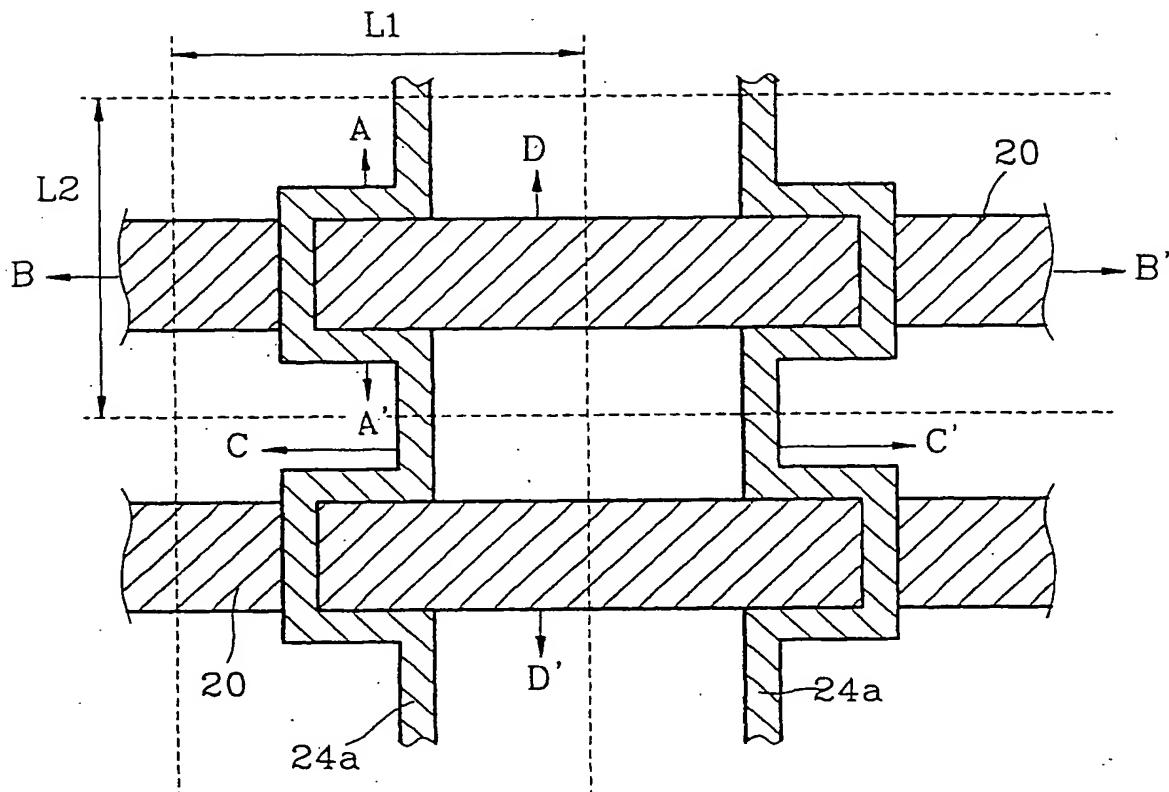


FIG. 4

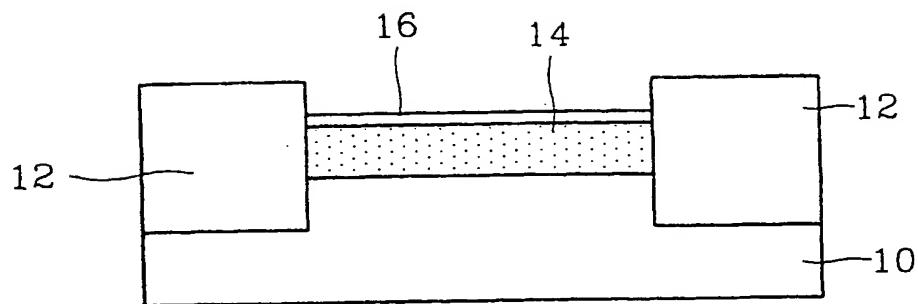


FIG. 5

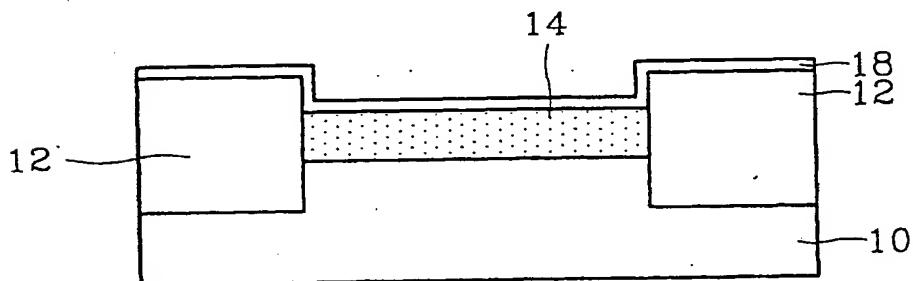


FIG. 6

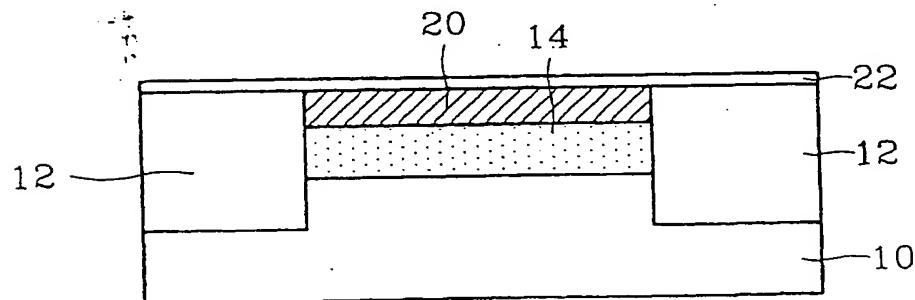


FIG. 7

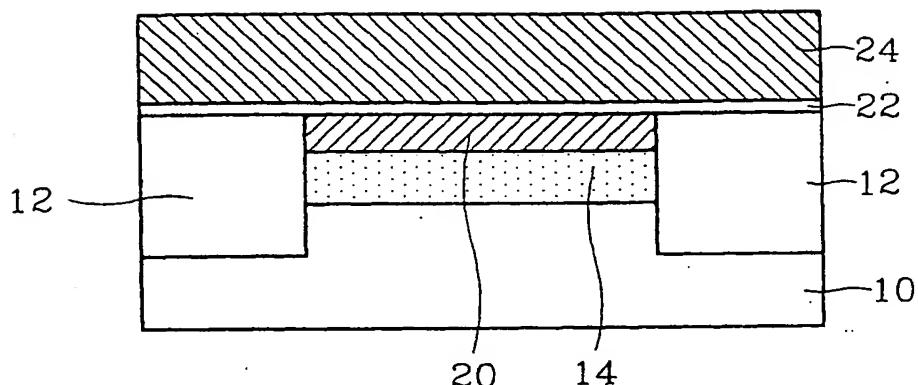


FIG. 8

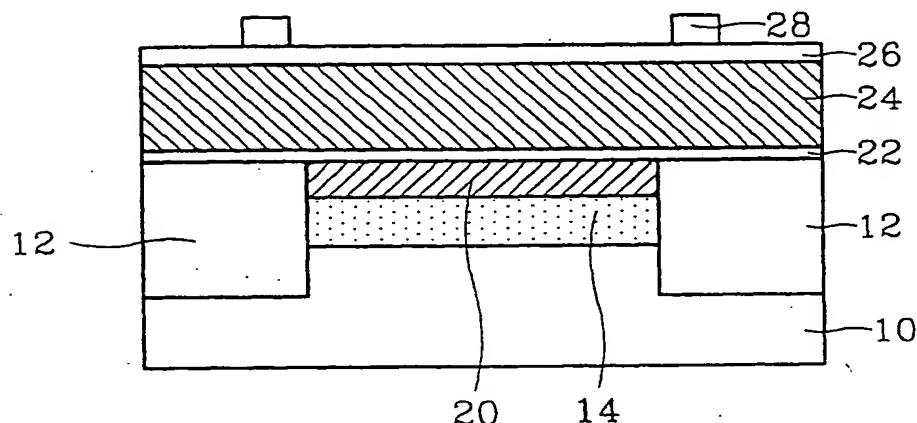


FIG. 9

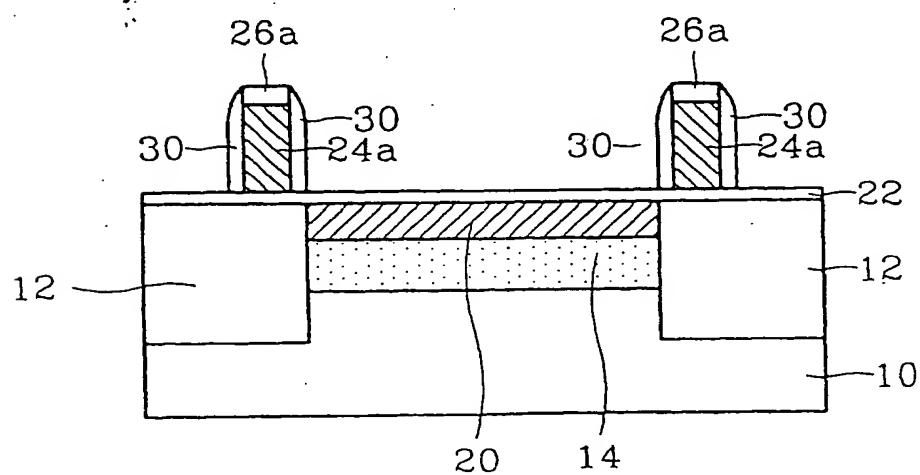


FIG. 10

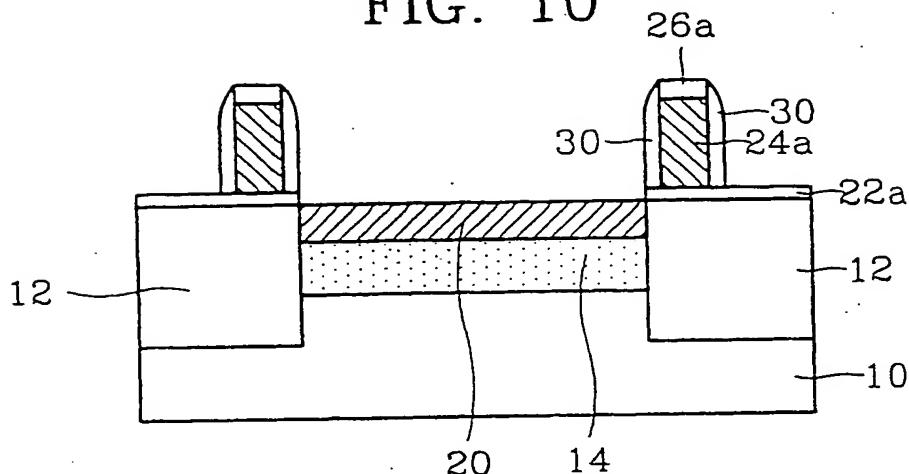


FIG. 11

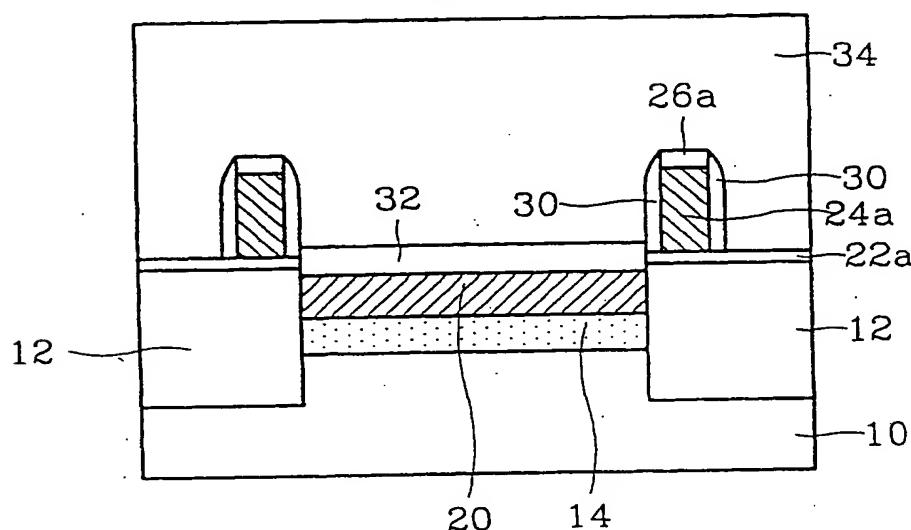


FIG. 12

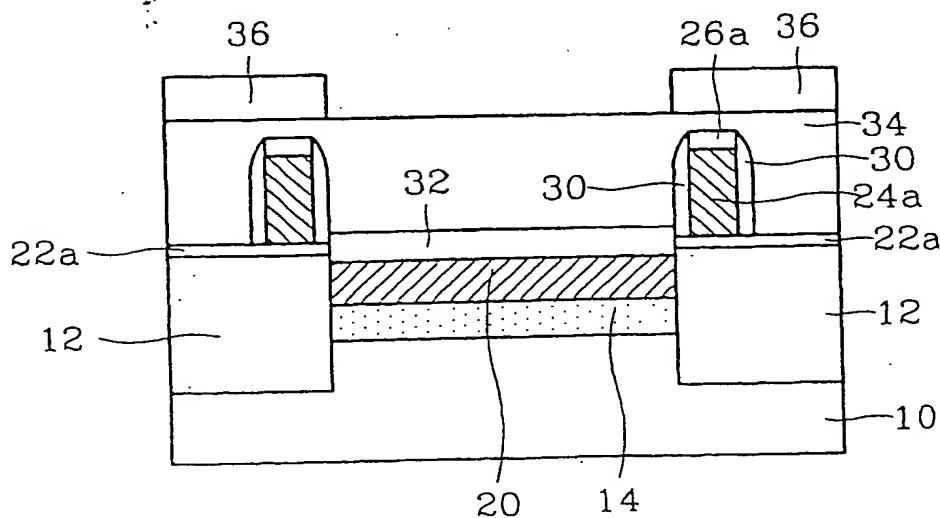


FIG. 13

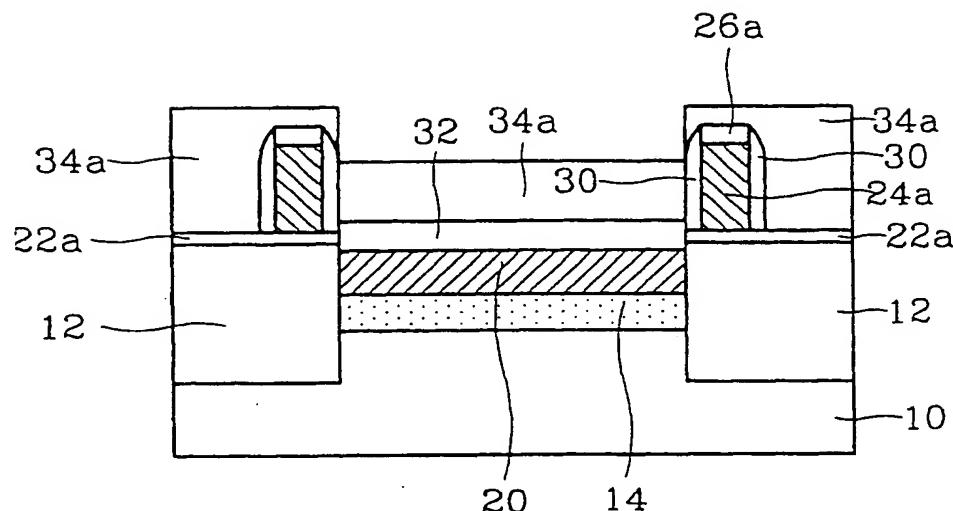


FIG. 14

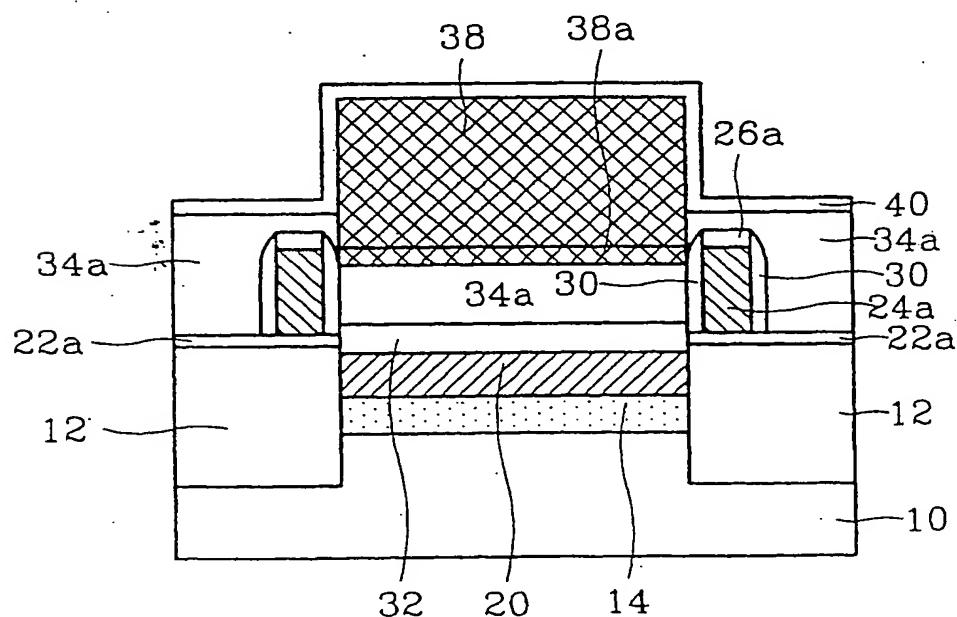


FIG. 15

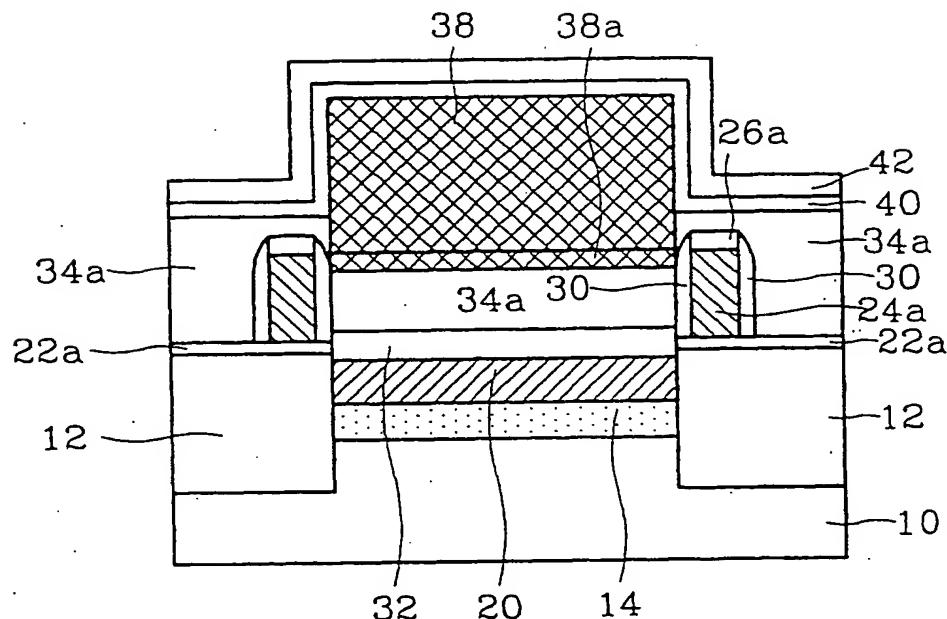


FIG. 16

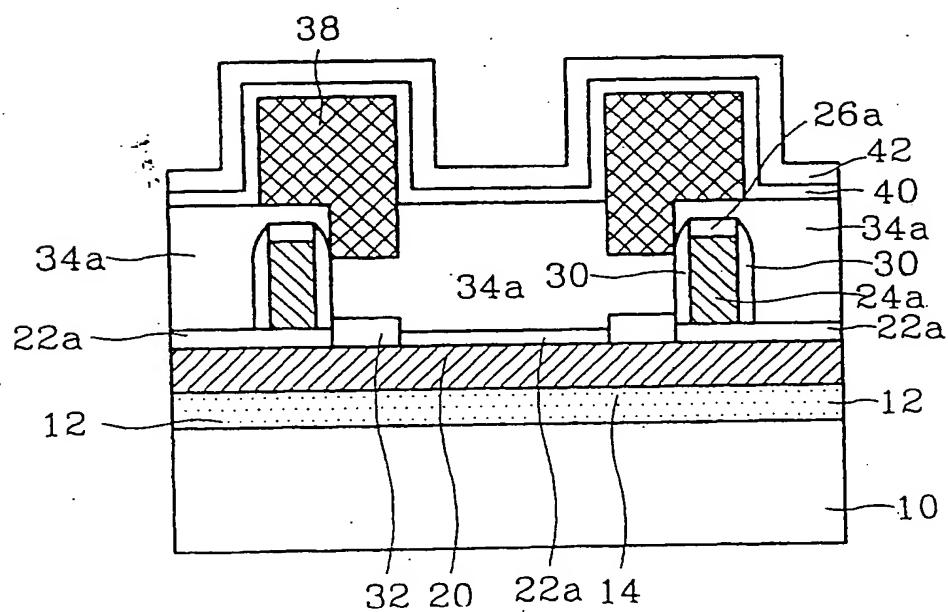


FIG. 17

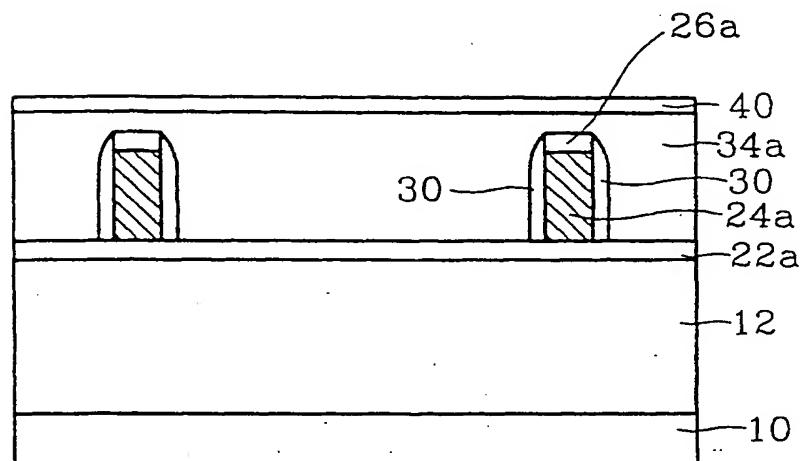


FIG. 18

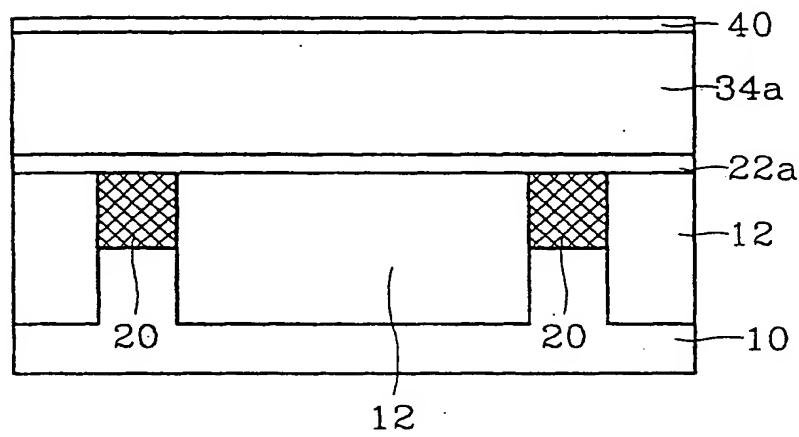


FIG. 19

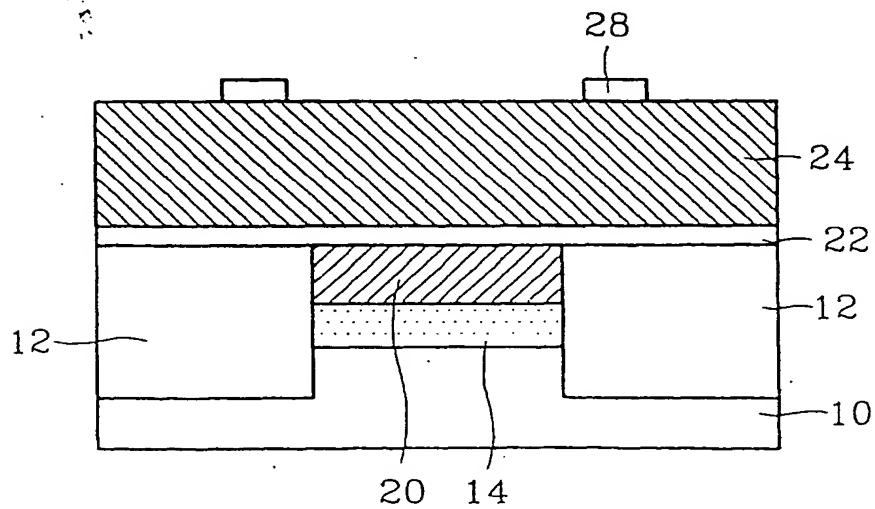


FIG. 20

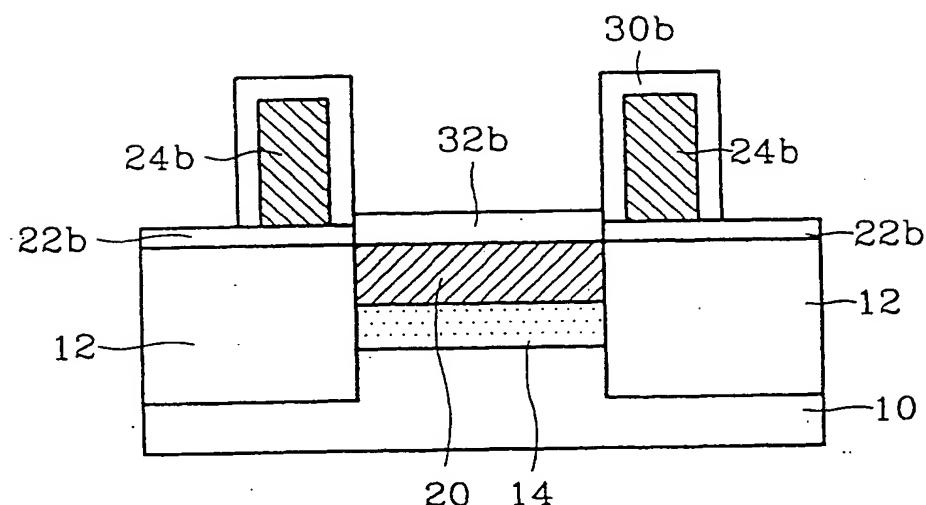


FIG. 21

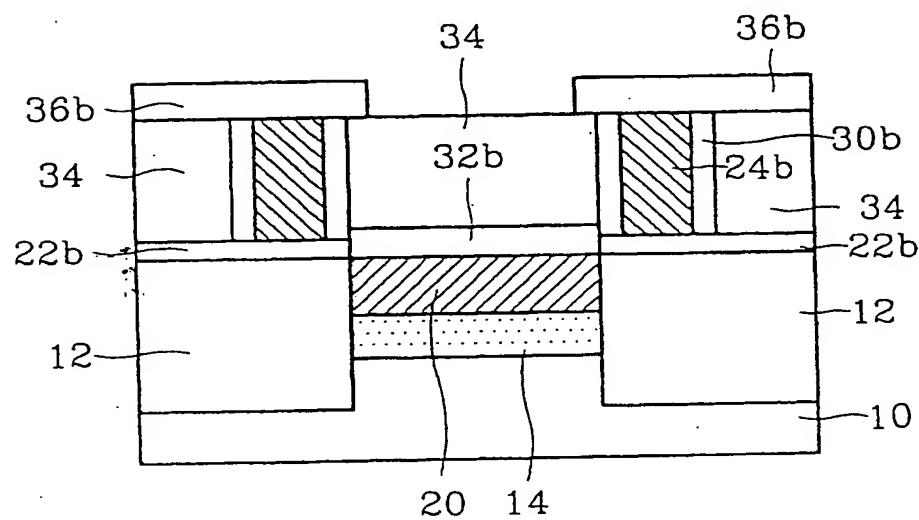


FIG. 22

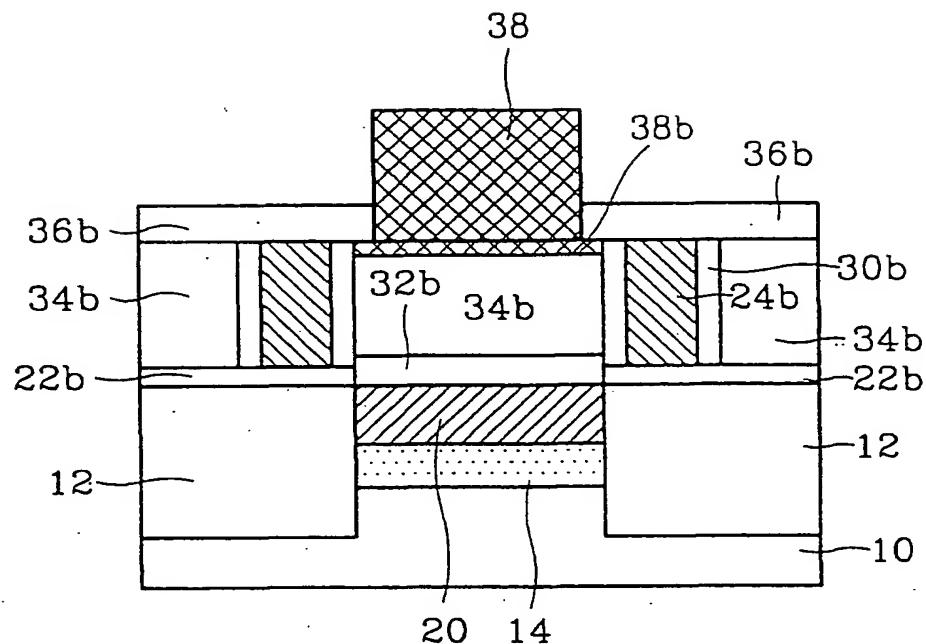


FIG. 23

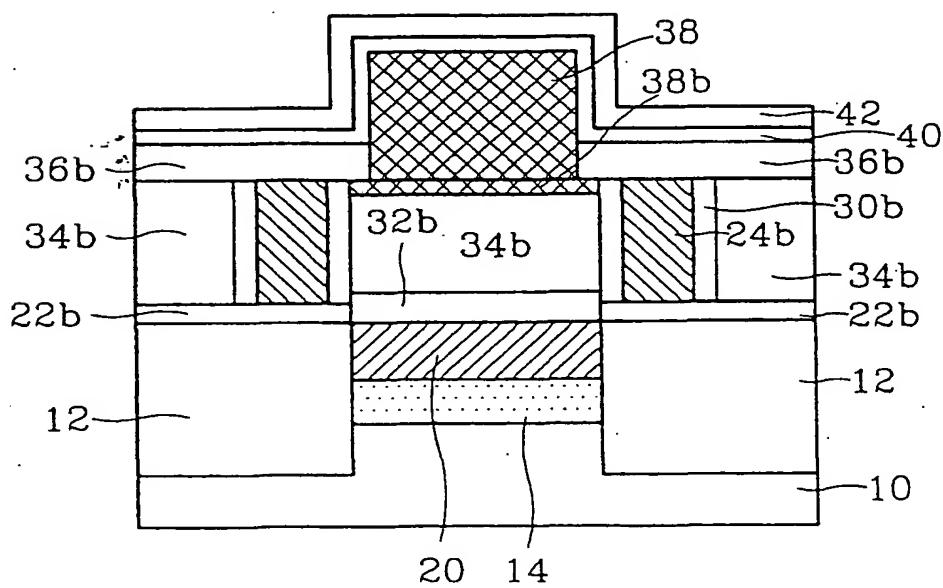
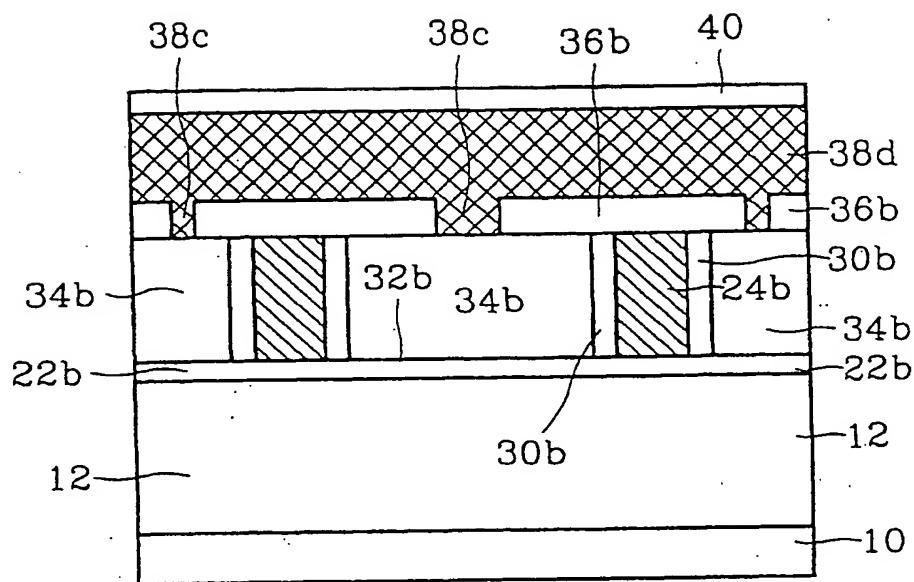


FIG. 24



BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 103 06 281.5

Anmeldetag: 14. Februar 2003

Anmelder/Inhaber: Infineon Technologies AG, 81669 München/DE

Bezeichnung: Anordnung und Verfahren zur Herstellung von vertikalen Transistorzellen und transistorgesteuerten Speicherzellen

IPC: H 01 L 27/105

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 20. Februar 2004
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

**CERTIFIED COPY OF
PRIORITY DOCUMENT**

Zitzenzier